

(12)特許協力条約に基づいて公開された国際出版

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2003 年 4 月 17 日 (17.04.2003)

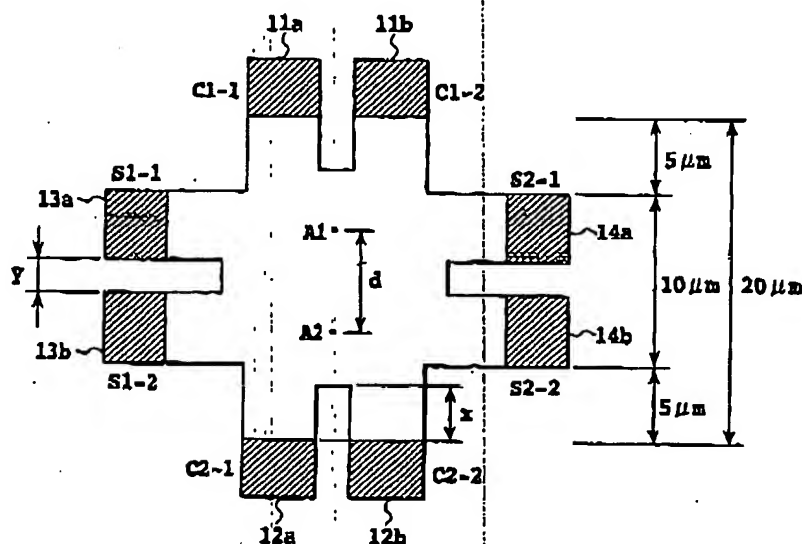
PCT

(10) 国際公開番号  
WO 03/032410 A1

- (51) 国際特許分類: H01L 43/06, G01R 33/07 (72) 発明者; および  
(21) 国際出願番号: PCT/JP02/10164 (75) 発明者/出願人 (米国についてのみ): 中村 正広 (NAKA-MURA, Masahiro) [JP/JP]; 〒243-0005 神奈川県 厚木市 松枝 1-1 2-1 5-2 0 1 Kanagawa (JP). 美濃 亮子 (MINO, Akiko) [JP/JP]; 〒194-0021 東京都 町田市 中町 3-1 4-1 1-4 0 3 Tokyo (JP).  
(22) 国際出願日: 2002 年 9 月 30 日 (30.09.2002)  
(25) 国際出願の言語: 日本語  
(26) 国際公開の言語: 日本語 (74) 代理人: 谷 越一 (TANI, Yoshikazu); 〒107-0052 東京都 港区 赤坂 2 丁目 6-2 0 Tokyo (JP).  
(30) 優先権データ: 特願2001-305715 2001 年 10 月 1 日 (01.10.2001) JP (81) 指定国 (国内): CN, JP, KR, US.  
(71) 出願人 (米国を除く全ての指定国について): 旭化成マイクロシステム株式会社 (ASAHI KASEI MICROSYSTEMS CO., LTD.) [JP/JP]; 〒163-1031 東京都 新宿区 西新宿 3 丁目 7 番 1 号 Tokyo (JP); 旭化成電子株式会社 (ASAHI KASEI ELECTRONICS CO., LTD.) [JP/JP]; 〒130-6591 東京都 墨田区 錦糸 3 丁目 2 番 1 号 Tokyo (JP).
- 添付公開書類:  
— 国際調査報告書
- 2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: HALL DEVICE AND MAGNETIC SENSOR

(54) 発明の名称: ホール素子および磁気センサ



(57) Abstract: A Hall device is provided with a pair of power source terminals on each of a counter pair of projections of a cross-shaped magnetosensitive section constituted of a rectangle and counter projections provided on each side. Each of the other pair of projections of the magnetosensitive section is provided with a pair of output terminals. The whole constituted by equally dividing all the power source terminal and the output terminals and a part of each projection of the magnetosensitive section by means of slits continuously extending in the counter directions has quaternary symmetry with respect to its center. This constitution provides a Hall device of a high sensitivity in magnetic field sensitivity.

(続葉有)

WO 03/032410 A1

WO 03/032410 A1



## (57) 要約:

本発明によるホール素子は、矩形部とその各辺に設けられた相互に対向する凸部から構成される十字型の感磁部の対向する一対の凸部の各々に一対の電源端子部を設け、感磁部の対向する他の一対の凸部の各々に一対の出力端子部を設けることとし、これら電源端子部と出力端子部の全部、および、感磁部の各凸部の一部を、各々の対向方向に連続して伸長する複数のスリットにより等間隔に分割し、スリットのそれぞれに絶縁体の分離層を備え、感磁部と電源端子部と出力端子部とで構成される全体形状を、その中心に対して4回対称性を有する形状を有している。この構成により、磁場検出感度の高いホール素子を提供することが可能となる。

WO 03/032410

PCT/JP02/10164

1

## 明 細 書

ホール素子および磁気センサ

## 5 技術分野

本発明は、ホール素子および磁気センサに関し、より詳細には、高感度のホール素子、および、オフセット性能に優れ、かつ、低い駆動電圧で高いホール起電力が得られる磁気センサに関するものである。

## 10 背景技術

ホール素子は、VTR、CD-ROM等に用いられるブラシレス・モータの無接触回転検出センサや電流量測定装置などへの幅広い用途を有する素子である。

特に、磁気センサに用いられる磁場検出用のホール素子としては、様々な形状のホール素子が提案されており、長方形型やクローバ型の形状のホール素子の他、伝導試料中のキャリアの極性、濃度、及び、移動度を測定する場合には、主として、  
15 矩形や Van der Pauw 型の形状のホール素子が用いられる。

図1は、物理実験等でよく用いられるホール素子の形状を説明するための図で、磁場検出感度を高めるために、電源端子間距離を $L$ とし、ホール電圧出力端子間距離を $W$ とする長方形の感磁部110を有し、その対向する短辺の各々には、電源  
20 端子 $C_1$ 111および $C_2$ 112が設けられており、対向する長辺の各々には、ホール電圧出力端子 $S_1$ 113および $S_2$ 114が設けられている。

磁場検出用のホール素子では、オフセット補正が特に重要であり、電源端子とホール電圧出力端子とを交互に入れ替えてオフセット補正する方法（SCM：Spinning Current Method）を適用することが可能な、いわゆる対称型ホール素子  
25 が主流となっている。

ここで、対称型ホール素子とは、矩形若しくは略十字型の形状を有する感磁部の

WO 63/032410

PCT/JP02/10164

2

4隅または4辺の各々に対向して設けられる電源端子とホール電圧出力端子とを備え、かつ、電源端子とホール電圧出力端子の位置を互いに交換してもその幾何学的形状が同一となる形状のホール素子を意味し、換言すれば、その全体形状がその中心の周りで4回対称性を有するホール素子を意味する。

- 5 図2は、対称型ホール素子の構成を説明するための図で、矩形の感磁部120の4隅には、電源端子 $C_1$ 121と $C_2$ 122、および、ホール電圧出力端子 $S_1$ 123と $S_2$ 124が、互いに対角に位置するように設けられている。

この対称型ホール素子は、形状が極めて単純であり、その作製も容易であることから、磁場検出用として最も広く採用されている形状のホール素子のひとつである。

- 10 この他にも、対称型ホール素子としては、その形状を十字型とした構成の素子が知られている。

- 図3は、Popovicらによって考案された十字型形状のホール素子の構成を説明するための図で、十字型の感磁部130の4つの凸部の各々には、電源端子 $C_1$ 131と $C_2$ 132、および、ホール電圧出力端子 $S_1$ 133と $S_2$ 134が、互いに対向して位置するように設けられている。

- 15 なお、ホール素子をSi基板上に構成する場合には微細加工が容易であるためにホール素子の端子部や感磁部の構成の自由度が高くなり、例えば、基板面に水平な方向の磁場を検出する縦型ホール素子（特公昭63-55227号公報）、基板に垂直な磁場を検出する横型ホール素子（特開平7-249805号公報）、出力端子を分割してオフセット補正回路に接続することによりSCMによらずにオフセット補正する装置（特開平11-183579号公報）、オフセットや感度のばらつきを低減させる素子形状及び回路を備えた装置（特開平7-193297号公報）などが報告されている。

- 25 しかし、上述の対称型ホール素子は、SCMによるオフセット補正が可能であるという特長を有する反面、長方形の形状を有するホール素子と比較すると磁場検出感度が低いという問題がある。

WO 03/032410

PCT/JP02/10164

3

定電流駆動型ホール素子の2つのホール電圧出力端子間に現れるホール電圧は、その形状に依存し、

$$V_H = \frac{G \cdot r_H \cdot I \cdot B_z}{n e d} \quad (1)$$

で与えられる。ここで、 $I$  は電源端子間を流れる電流、 $B_z$  は印加磁場、 $n$  はキャリア濃度、 $e$  は単位電荷、 $d$  は電流の流れる層の厚み、 $G$  は幾何学因子、 $r_H$  はホール散乱因子である。

図4は、矩形形状のホール素子の、電源端子間距離 $L$ とホール電圧出力端子間距離 $W$ との比( $L/W$ 比)と幾何学因子 $G$ との関係を説明するための図(R. S Popovic, "Hall Effect Device"より転記)で、幾何学因子 $G$ は、電源端子間距離 $L$ がホール電圧出力端子間距離 $W$ に比べて長い程大きな値となり、 $L > 3W$ の条件でほぼ1となる。しかし、対称型ホール素子の形状に相当する $L = W$ の矩形の場合には、印加される磁場強度にもよるが、0.6程度の値となる。このことは、対称型の矩形ホール素子では、その形状に起因して、磁場検出感度が約40%もロスしてしまうことを意味する。

#### 発明の開示

本発明は、このような問題に鑑みてなされたものであって、磁場検出感度の高いホール素子、および、オフセット性能に優れ、かつ、低い駆動電圧で高いホール起電力が得られる磁気センサを提供することを目的とするものである。

本発明者らは、矩形のホール素子や端子間距離の短いホール素子において磁場検出感度が低下する原因、すなわち幾何学因子 $G$ の物理的意味をより詳細に検討するため、 $L/W$ 比が感磁部内のポテンシャル分布へ及ぼす影響をシミュレーションにより検討した。その結果を以下に説明する。

シミュレーションに際しては、感磁部に、一对の対向する電源端子と一对の対向するホール電圧出力端子とを有し、感磁部のキャリア濃度が $1.5 \times 10^{16} / \text{cm}^3$ 、

WO 03/032410

PCT/JP02/10164

4

端子部のキャリア濃度が  $5.0 \times 10^{20} / \text{cm}^3$  の、n型Siホール素子を想定し、基板に対して垂直に1Tの磁場が印加された条件で、ポアソン方程式、電子及びホールの連続の方程式に、キャリア濃度拡散、電場によるドリフト、ローレンツ力の効果を加えた支配方程式を連立させて解を求めることとした。

- 5 先ず、ホール電圧出力端子部が比較的小さく、感磁部内のポテンシャル分布への影響が無視できる場合を考える。

図5は、 $L > 3W$ の長方形形状を有するホール素子を仮定して、感磁部中のポテンシャル分布をシミュレーションにより求めた結果を示した図で、この形状のホール素子では、 $W$ に比較して $L$ が充分大きいことに起因して、感磁部の中央付近のポ  
10 テンシャル面は平行に斜め方向に揃うことになる。

これは、磁場により作用するローレンツ力によって、感磁部内での電子分布が、その中心より下側が濃く、上側が薄くなって電荷分布に偏りが生じ、そのため、ホール電界151がホール電圧出力端子方向に生じるためであり、このホール電界151と電源端子間に存在する電界152とが合成されて、図5に示すような斜め方向  
15 のポテンシャル分布が形成されることになる。このような状況では、感磁部内の中央付近で磁場によるローレンツ力とホール電界とが釣り合い、キャリア（電子）の運動方向が、電源端子の対向方向と平行となるとときに最大のホール電圧が得られることとなる。

図6は、 $L = W$ の矩形の感磁部を有する対称型ホール素子を仮定してシミュレー  
20 ションで求めた感磁部内の等電位面を  $10^{-2} \text{V}$  毎に示したポテンシャル分布である。

この形状のホール素子の場合には、感磁部内のポテンシャルが充分に斜めになることができず、そのため、感磁部の中心部分でも、キャリアの運動方向は斜めを向いてしまう結果となる。

- 25 これは、電源端子の端子面が等電位であるため、キャリアの電界に起因する速度ベクトルは電源端子方向を向いているが、磁場によりキャリアに作用するローレン

WO 03/032410

PCT/JP02/10164

5

ツカにより、キャリアがホール角の分だけ曲げられて電源端子から放出されることに起因する。すなわち、感磁部内を運動するキャリアには、磁場とその速度ベクトルの外積の方向にローレンツ力が働くので、斜めに運動するキャリアのホール電圧への寄与はその傾きの角度分だけ少なくなる。キャリアが電源端子面から充分離れた領域では、キャリアを電源端子方向と平行に向けるに十分な電界を生ずるための電子分布を形成できるが、電源端子間距離 $L$ が相対的に短い場合にはポテンシャル分布が充分斜めになれず、感磁部の中心領域でもキャリアの運動方向が斜めを向いてしまい、その結果、ホール起電力が低下するという結果となるのである。

次に、ホール電圧出力端子部が比較的大きく、感磁部内のポテンシャル分布への影響が無視できない場合を考える。

図7は、十字型ホール素子の感磁部内でのポテンシャル分布をシミュレーションで求めた等電位面を $10^{-2}$  V毎に示した図で、十字型の感磁部170の4つの凸部の各々には、電源端子 $C_1$ 171と $C_2$ 172、および、ホール電圧出力端子 $S_1$ 173と $S_2$ 174が、互いに対向して位置するように設けられている。図中に示したポテンシャル分布は、電源端子 $C_1$ 171端子から電源端子 $C_2$ 172に電流を流し、紙面に垂直な方向に磁場を印加したものとして求めたものである。

また、図8は、ホール電圧出力端子を設けない構成の十字型ホール素子の感磁部内でのポテンシャル分布をシミュレーションで求めた結果を示す図で、十字型の感磁部180の4つの凸部の対向する一対には、電源端子 $C_1$ 181と $C_2$ 182が設けられている。図中に示したポテンシャル分布は、電源端子 $C_1$ 181端子から電源端子 $C_2$ 182に電流を流し、紙面に垂直な方向に磁場を印加したものとして求めたものである。

これら図7および図8に示した感磁部内のポテンシャル分布を比較すると、ホール電圧出力端子を備える構成のホール素子では、ホール電圧出力端子の端子面が等ポテンシャル面となることに起因して、出力端子周辺でのキャリア速度が低下し、キャリア速度の低下に伴って作用するローレンツ力が弱くなり、ホール起電力が低

WO 03/032410

PCT/JP02/10164

6

下してしまう。

これらの結果から、高いホール起電力を得るためには、ホール電圧出力端子を主電流の流れる領域から離しておくか、または、ホール電圧出力端子の幅を狭くすることが望ましいことが理解される。しかしながら、従来の十字型ホール素子においてホール電圧出力端子を主電流の流れる領域から遠ざける構成とすると、必然的に素子サイズが大きくなり、駆動電圧が上がるという問題が生じる。

本発明の目的は、基板上に、矩形部とその各辺に設けられた相互に対向する凸部から構成される十字型の感磁部と、該感磁部の対向する一対の前記凸部の各々に設けられた電流又は電圧入力用の一対の電源端子部と、前記感磁部の対向する他の一対の前記凸部の各々に設けられたホール電圧出力用の一対の出力端子部とを備え、前記電源端子部と前記出力端子部の全部、および、前記感磁部の各凸部の一部が、各々の対向方向に連続して伸長するスリットにより分割されており、前記スリットのそれぞれには絶縁体の分離層を備えることを特徴とするホール素子によって達成される。

本発明のホール素子は、好ましくは、①前記感磁部と前記電源端子部と前記出力端子部とで構成される全体形状がその中心に対して4回対称性を有するように構成されていたり、②前記電源端子部と前記出力端子部の全部および前記感磁部の各凸部の一部が各々の対向方向に連続して伸長するスリットにより等間隔に分割されていたり、③前記スリットと前記感磁部の凸部との境界線の長さ、前記スリットで分割された前記感磁部の凸部の前記矩形部を挟んで互に対向する部分同士の中点と、前記スリットで分割された前記感磁部の凸部の前記矩形部を挟んで互に対向する他の部分同士の中点との間隔との比が、 $1/3$ 以上3以下であるように構成されていたりする。

また、本発明の目的は、基板上に、矩形部とその各辺に設けられた相互に対向する凸部から構成される十字型の感磁部と、該感磁部の対向する一対の前記凸部の各々に設けられた電流又は電圧入力用の一対の電源端子部と、前記感磁部の対向す



WO 03/032410

PCT/JP02/10164

7

る他の一対の前記凸部の各々に設けられたホール電圧出力用の一対の出力端子部とを備え、前記電源端子部と前記出力端子部の全部および前記感磁部の各凸部の一部が各々の対向方向に連続して伸長するスリットにより等間隔に分割されており、前記スリットのそれぞれには絶縁体の分離層を備えるホール素子と、差動増幅回路を含む加算回路とを備え、前記加算回路を前記ホール素子の前記出力端子部に接続し、前記加算回路を用いた加算処理により、出力電圧及び信号対雑音比を向上させたことを特徴とする磁気センサによって達成される。

本発明の磁気センサは、好ましくは、①前記感磁部と前記電源端子部と前記出力端子部とで構成される全体形状がその中心に対して4回対称性を有するように構成されていたり、②前記電源端子部と前記出力端子部の全部、および、前記感磁部の各凸部の一部が、各々の対向方向に連続して伸長するスリットにより等間隔に分割されていたり、③前記スリットと前記感磁部の凸部との境界線の長さと、前記スリットで分割された前記感磁部の凸部の前記矩形部を挟んで互いに対向する部分同士の中点と、前記スリットで分割された前記感磁部の凸部の前記矩形部を挟んで互いに対向する他の部分同士の中点との間隔との比が、 $1/3$ 以上3以下であるように構成されていたり、④前記ホール素子の前記電源端子部に接続される分流通路と前記加算回路に接続される絶対値回路と該絶対値回路に接続されるバイアス調整回路とを備え前記分流通路と前記絶対値回路と前記バイアス調整回路により、ホール起電力が最大となる電位差を前記電源端子部に供給するように構成されていたりする。

#### 図面の簡単な説明

- 第1図は、従来の長方形ホール素子の構成を説明するための図、  
第2図は、従来の矩形ホール素子の構成を説明するための図、  
第3図は、従来の十字型ホール素子の構成を説明するための図、  
第4図は、従来の長方形ホール素子の $L/W$ 比と幾何学因子 $G$ との関係を説明す

WO 03/032410

PCT/JP02/10164

8

るための図、

第5図は、 $L = 3W$ の矩形形状を有する従来型のホール素子の感磁部内のポテンシャル分布をシミュレーションにより求めた結果を説明するための図、

第6図は、 $L = W$ の矩形形状を有する従来型のホール素子の感磁部内のポテンシャル分布をシミュレーションにより求めた結果を説明するための図、

第7図は、従来型の十字型ホール素子の感磁部内のポテンシャル分布をシミュレーションにより求めた結果を説明するための図、

第8図は、ホール電圧出力端子を設けない構成の、従来型の十字型ホール素子の感磁部内のポテンシャル分布をシミュレーションにより求めた結果を説明するための図、

第9図は、本発明の、端子を2分割した十字型ホール素子の構成を説明するための図、

第10図は、本発明の、端子を $n$ 分割した十字型ホール素子の構成を説明するための図、

第11図は、本発明の、端子を2分割した十字型ホール素子の感磁部内のポテンシャル分布を説明するための図、

第12図は、従来型の十字型ホール素子の感磁部内のポテンシャル分布を説明するための図、

第13図は、本発明の、端子を2分割した十字型ホール素子の感磁部内の電子速度分布を説明するための図、

第14図は、従来型の十字型ホール素子の感磁部内の電子速度分布を説明するための図、

第15図は、本発明の、端子部にスリットを1個又は2個入れた構成の十字型ホール素子における、ホール起電力と電源端子間の電圧との関係をシミュレーションで求めた結果を説明するための図、

第16図は、本発明のホール素子に加算回路を付加した本発明の磁気センサの回

WO 03/032410

PCT/JP02/10164

9

路構成を説明するための図、

第17図は、第16図に示した本発明の磁気センサに、絶対値回路およびバイアス調整回路を付加した本発明の磁気センサの回路構成を説明するための図、

第18図は、本発明のホール素子の製造プロセスを説明するための図である。

5

発明を実施するための最良の形態

以下に、本発明の実施の形態について、図面を参照して説明する。

〔実施例1〕

電源端子やホール電圧出力端子がホール起電力に影響を及ぼす理由の1つは、こ  
10 れらの端子が低抵抗の材質で形成されているため、その端子面が等ポテンシャルに  
なることに起因している。そこで、本発明のホール素子では、これらの端子間間隔  
を大きく設定するかわりに、これらの端子に、絶縁体、若しくは、絶縁体と同等の  
電氣的作用をする層を備えるスリットを設けることにより、感磁部中のポテンシャ  
ル分布に及ぼす端子の影響を低減させることとしている。

15 図9は、本発明の対称型ホール素子の構成例を説明するための図で、全体として  
略十字型の感磁部形状を有し、その矩形部の1辺は10 $\mu$ mであり、これらの辺の  
各々には、短辺が5 $\mu$ mの凸部が設けられている。

感磁部に設けられるこれらの4つの凸部の各々には、切れ込み深さx、スリット  
幅yの1つのスリットが設けられて各凸部が2等分割され、さらに、これらのス  
20 リット部分には、絶縁体、若しくは、絶縁体と同等の電氣的作用を奏する層が設け  
られている。

このようにして2等分割された各凸部の各々には、電源端子 $C_{1-1}11a$ 、  
 $C_{1-2}11b$ と電源端子 $C_{2-1}12a$ 、 $C_{2-2}12b$ 、および、ホール電圧出力端  
子 $S_{1-1}13a$ 、 $S_{1-2}13b$ とホール電圧出力端子 $S_{2-1}14a$ 、 $S_{2-2}14b$ が  
25 互いに対向して位置するように設けられている。

このようなスリットによる端子分割を行わない構造の従来のホール素子では、十

WO 03/032410

PCT/JP02/10164

10

字型の感磁部の中心の電位がホール電圧出力端子の基準電位となるのに対して、図9に示す構成のホール素子では、ホール電圧出力端子 $S_{1-1}13a$ と $S_{2-1}14a$ の端子対の基準電位は、これらの端子間の中心 $A_1$ での電位となり、また、ホール電圧出力端子 $S_{1-2}13b$ と $S_{2-2}14b$ の端子対の基準電位は、これらの端子間の中心 $A_2$ での電位となる。その結果、端子の存在がポテンシャル分布に及ぼす影響を低減させることができる。

図9に示す構成のホール素子では、スリットの切れ込み深さ $x$ が長すぎると、キャリアの流れに悪影響を及ぼして却ってホール起電力を低下させてしまう。従って、スリット幅 $y$ は狭く、切れ込み深さ $x$ は短いほうが好ましいが、分割される端子間の基準電位に十分な電位差を生じさせるためには、上述の $A_1$ と $A_2$ の間の抵抗値と同等の抵抗を、分割した端子間に持たせることが望ましい。

また、分割形状としては、分割後の2つの端子間に流れる電流経路が、端子の中心部分の距離とほぼ同等となるように、切れ込み深さ $x$ およびスリット幅 $y$ を設定することが望ましい。このため、図9に示した本発明のホール素子では、スリットの外周 $(2x+y)$ が、 $A_1$ と $A_2$ との間隔 $(d)$ よりも大きくなる条件でスリットを形成している。

なお、図9に示した構成のホール素子では、各端子に1つのスリットを設けて2つに等分割することとしたが、更に多くのスリットを等間隔で設けることとし、2以上の端子に等分割することとしてもよい。

図10は、感磁部の凸部に $n-1$ 個のスリットを設けて、感磁部凸部およびこれに設けられる端子を $n$ 個に等分割した本発明のホール素子の他の構成例を説明するための図で、全体として略十字型の感磁部形状を有し、その矩形部の1辺は $10\mu m$ であり、これらの辺の各々には、短辺が $5\mu m$ の凸部が設けられている。感磁部に設けられた凸部の各々には、切れ込み深さ $x$ 、スリット幅 $y$ の $n-1$ 個のスリットが設けられており、これにより、各凸部が $n$ 等分割されている。そして、これらの各スリット部分には、絶縁体、若しくは、絶縁体と同等の電気的作用を奏す

WO 03/032410

PCT/JP02/10164

11

る層が設けられている。

このようにして $n$ 分割された各凸部の各々には、電源端子 $C_{1-1} 2 1 a \sim C_{1-n} 2 1 n$ と電源端子 $C_{2-1} 2 2 a \sim C_{2-n} 2 2 n$ 、および、ホール電圧出力端子 $S_{1-1} 2 3 a \sim S_{1-n} 2 3 n$ とホール電圧出力端子 $S_{2-1} 2 4 a \sim S_{2-n} 2 4 n$ が、互いに対向して位置するように設けられている。

このように、感磁部凸部と端子部にスリットを備えることとした図9および図10に示した構成のホール素子では、端子部分が絶縁層によって複数に等分割されているため、上述したように、各ホール電圧出力端子対の基準電位がこれらの各端子に近接する感磁部部分の電位に等しくなることとなり、その結果、端子の存在が感磁部内のポテンシャル分布に及ぼす影響を低減させることができる。

〔比較例1〕

十字型のホール素子の感磁部凸部およびこれらに接続される端子部をスリットにより2等分割した構成の本発明のホール素子のホール起電力、ポテンシャル分布、および、素子中を流れる電子の速度分布をシミュレーションにより求め、端子部の分割効果について調べた。

図11は、シミュレーションを実行するに際して仮定したスリットを有する本発明のホール素子の構成、および、シミュレーションにより求めたポテンシャル分布を説明するための図で、全体として略十字型の感磁部形状を有し、その矩形部の1辺は $10 \mu m$ であり、これらの辺の各々には、短辺が $5 \mu m$ の凸部が設けられている。これら4つの凸部の各々は、切れ込み深さ $x$ 、スリット幅 $y$ の1つのスリットを有し、このスリット部分には、絶縁体、若しくは、絶縁体と同等の電気的作用をする層が設けられ、これにより、各凸部が2等分割されている。

このようにして2等分割された各凸部の各々には、電源端子 $C_{1-1} 3 1 a$ 、 $C_{1-2} 3 1 b$ と電源端子 $C_{2-1} 3 2 a$ 、 $C_{2-2} 3 2 b$ 、および、ホール電圧出力端子 $S_{1-1} 3 3 a$ 、 $S_{1-2} 3 3 b$ とホール電圧出力端子 $S_{2-1} 3 4 a$ 、 $S_{2-2} 3 4 b$ が、互いに対向して位置するように設けられており、電源端子 $C_{1-1} 3 1 a$ 、

WO 03/032410

PCT/JP02/10164

12

$C_{1-2}31b$ と電源端子 $C_{2-1}32a$ 、 $C_{2-2}32b$ との間に合計 $0.1\text{mA}$ の主電流を流し、この主電流に対して垂直な方向に $1\text{T}$ の磁場を印加した場合を仮定して、ホール電圧出力端子 $S_{1-1}33a$ 、 $S_{1-2}33b$ とホール電圧出力端子 $S_{2-1}34a$ 、 $S_{2-2}34b$ との間に発生するホール起電力およびポテンシャル分布をシミュレーションにより求めている。

図12は、シミュレーションを実行するに際して仮定した、比較のための、スリットを有しないホール素子の構成、および、シミュレーションにより求めたポテンシャル分布を説明するための図で、全体として十字型の感磁部形状を有し、その矩形部の1辺は $10\mu\text{m}$ であり、これらの辺の各々には、短辺が $5\mu\text{m}$ の凸部が設けられている。

これらの4つの凸部の各々には、電源端子 $C_141$ と電源端子 $C_242$ 、および、ホール電圧出力端子 $S_143$ とホール電圧出力端子 $S_244$ が、互いに対向して位置するように設けられており、電源端子 $C_141$ と電源端子 $C_242$ との間に $0.1\text{mA}$ の主電流を流し、この主電流に対して垂直な方向に $1\text{T}$ の磁場を印加した場合を仮定し、ホール電圧出力端子 $S_143$ とホール電圧出力端子 $S_244$ との間に発生するホール起電力およびポテンシャル分布をシミュレーションにより求めている。

図11の構成のホール素子において、スリットの切れ込み深さ $x=5\mu\text{m}$ 、スリット幅 $y=0.2\mu\text{m}$ を仮定して求めたホール起電力は、図12の構成のホール素子を仮定して求めたホール起電力に比べて約8%高い値が得られるという結果が得られており、感磁部凸部および端子部にスリットを設けることがホール起電力の向上に有効であることが確認された。

図13は、図11に示した構成のホール素子において、スリットの切れ込み深さ $x=5\mu\text{m}$ 、スリット幅 $y=0.2\mu\text{m}$ の場合のキャリア(電子)速度分布をシミュレーションにより求めた結果を示している。

また、図14は、図12に示した構成のホール素子において、キャリア(電子)

WO 03/032410

PCT/JP02/10164

13

速度分布をシミュレーションにより求めた結果を示している。

図13と図14の結果を比較すると、端子分割のない構成のホール素子の場合には、ホール素子感磁部の中心付近の電子速度が低下しているが、端子分割を行った構成のホール素子感磁部では、電子速度の低下は殆ど認められていない。

5   〔比較例2〕

図15は、感磁部凸部および端子部にスリットを設ける構成とした本発明のホール素子における、ホール起電力と電源端子間の電圧との関係をシミュレーションで求めた結果を説明するための図で、縦軸にホール起電力、横軸に電源端子間の電圧をとり、スリットを1つ入れた場合（2分割）とスリットを2つ入れた場合（3分割）の各々について、スリット幅  $y = 0.2 \mu\text{m}$  一定とし、切れ込み深さ  $x$  を  
10    $1 \mu\text{m}$  間隔で  $0 \sim 5 \mu\text{m}$  まで変化させた場合のシミュレーション結果である。

なお、感磁部は全体として略十字型の感磁部形状を有し、その矩形部の1辺は  $10 \mu\text{m}$  であり、これらの辺の各々に短辺が  $5 \mu\text{m}$  の凸部を有し、これらの凸部に端子部が設けられている。

15   スリットを1つ設けて2分割としたホール素子において、スリットの切れ込み深さ  $x$  が  $2 \mu\text{m}$  の場合は、スリットを設けない（すなわち  $x = 0 \mu\text{m}$ ）構成のホール素子に比較して、ホール起電力は10%程度向上する一方、電源端子間電圧はスリットを設けない構成のホール素子とほとんど差異がなくなる。スリットの切れ込み深さ  $x$  を  $1 \mu\text{m}$  まで狭めると、端子間抵抗が小さくなることに起因して、ホール  
20   起電力の向上は9%程度にまで低下する。

スリットを2つ設けて3分割としたホール素子において、スリットの切れ込み深さ  $x$  が  $5 \mu\text{m}$  の場合は、ホール起電力は5%程度、スリットの切れ込み深さ  $x$  が  $1 \mu\text{m}$  の場合は、ホール起電力は12%程度向上する一方、電源端子間電圧はスリットを設けない構成のホール素子とほとんど差異がなくなる。

25   これらの結果から、感磁部凸部（およびこれに接続される端子部）をスリットにより等分割し、かつ、このスリットと感磁部の凸部との境界線の長さ（ $2x + y$ ）

WO 03/032410

PCT/JP02/10164

14

と、スリットで分割された感磁部の凸部の、矩形部を挟んで互いに対向する部分同士の中点と、スリットで分割された感磁部の凸部の、矩形部を挟んで互いに対向する他の部分同士の中点との間隔との比を、 $1/3$ 以上 $3$ 以下であるように設定することにより、ホール起電力が向上することが理解され、この比が $1$ となるようにスリットの形状を選択した場合に、最もホール起電力が向上し、かつ、電源端子間電圧が低くなるということが分かる。

なお、本比較例では、十字型ホール素子を例としたが、他の形状を有するホール素子でも同様の効果が得られるものと考えられる。

〔実施例2〕

図16は、本発明のホール素子に加算回路を付加する構成の磁気センサの構成を説明するための図で、感磁部凸部および端子部を2等分割した構成のホール素子80の電源端子81a、81b、82a、82bに電流・電圧源85を接続し、ホール素子80に発生するホール電圧を、ホール電圧出力端子83a、83b、84a、84bに接続された差動増幅回路86a、86bを介して取りだし、これらの電圧を加算するための加算回路87を付加する構成としている。

この構成のホール素子では、差動増幅回路に接続されたホール電圧出力端子対間に発生するホール起電力は、端子を分割する前の差動増幅回路出力とほぼ同電圧となるので、差動増幅回路86aおよび86bの各々の電圧出力を加算回路87に入力として加算処理を行なうことが可能となる。

なお、上述の実施例では、ホール素子の感磁部凸部および端子部を2分割する構成としたが、分割数はこれに限定されるものではなく任意の分割数 $n$  ( $n$ は2以上の自然数)であってもよい。

これにより、一つのホール素子から、ホール起電力を約 $n$ 倍、その信号対雑音比を約 $\sqrt{n}$ 倍にすることが可能となる。

また、電源端子とホール電圧出力端子をスイッチ回路に接続して、その役割を順次変えていくことにより、従来通りのSCMによるオフセット補正も可能となる。



WO 03/032410

PCT/JP02/10164

15

更に、端子間距離が短くて済むため、定電流ホール素子の場合の駆動電圧が低くなり、電源回路も簡単で小型化が可能となる。

〔実施例 3〕

上述した構成の本発明の磁気センサによれば、ホール電圧出力端子が感磁部内のポテンシャル分布に及ぼす影響を低減させることが可能となるものの、分割した電源端子に同一電圧を印加する限り、電源端子がポテンシャル分布へ及ぼす影響を完全に除去することは困難である。この課題を解決するために、図 16 に示した磁気センサ回路に、更に、分流回路とバイアス調整回路と絶対値回路とを付加することとした。

図 17 は、本発明のホール素子に加算回路、分流回路、バイアス調整回路、および、絶対値回路を付加する構成の磁気センサの構成を説明するための図で、感磁部凸部および端子部を 2 等分割した構成のホール素子感磁部 90 の電源端子 91 a、91 b、92 a、92 b に、分流回路 98 a、98 b を介して電流・電圧源 95 を接続し、ホール素子 90 に発生するホール電圧を、ホール電圧出力端子 93 a、93 b、94 a、94 b に接続された差動増幅回路 96 a、96 b を介して取りだし、これらの電圧を加算するための加算回路 97 を付加し、加算回路 97 には絶対値回路 99 が接続され、絶対値回路 99 にはバイアス調整回路 100 が接続される構成とされている。

この回路では、対向するホール電圧出力端子 93 a、93 b、および、94 a、94 b の端子対間に発生するホール電圧差を差動増幅回路 94 a、94 b によって出力させ、これを加算回路 97 で加算することによって得られるホール電圧を絶対値回路 99 に入力し、それをバイアス調整回路 100 に入力し、バイアス調整回路 100 の出力を更に分流回路 98 a、98 b に入力させる。

分流回路 98 a、98 b は、バイアス調整回路 100 の制御信号に応じてホール素子の電源端子 91 a、91 b、92 a、92 b 間に与える電圧差を調整する。そして、分流回路 98 a と 98 b、絶対値回路 99、および、バイアス調整回路 10

WO 03/032410

PCT/JP02/10164

16

0は、分割した電源端子91a、91b、92a、92b間に電位差を供給し、その電位をホール起電力の絶対値が最大になるように調整する機能を備え、磁気センサの感度を一層向上させることを可能とする。

〔実施例4〕

5 本発明のホール素子およびこれを用いた磁気センサは、本来、素子を形成するための材質には依存せず、GaAs、Si、InAs、InSb等の様々な材質を用いて作製することが可能であるが、Si基板上にホール素子およびその周辺回路を作製する場合には、微細加工が可能なSiプロセスが適用可能となるため、小型で高性能のSiホール素子が得られる。

10 以下に、本発明のホール素子の製造方法を説明する。

本発明のホール素子は、ホール素子の端子部及びこれらの端子部に接続される半導体層を形成するためのマスクパターンを変更することにより容易に製造が可能である。

図18は、CMOSデバイスに隣接して設けられることとした本発明のホール素子の製造プロセスの一例を説明するための図である。

15 p型Si基板上に、CMOSデバイス用のNウェルおよびPウェルを形成し、これに隣接する領域に、ホール素子の感磁部を形成する(図18(a))。ここで、感磁部の切れ込み深さxとスリットの幅yは、これに適合するマスクを用いることで容易に設定が可能である。なお、感磁部のパターニングは、リソグラフィーとエッチングにより行なう。

20 その後、基板の一部をマスクし、マスクで被覆されていない領域にリン(P)をイオン注入し、ホール素子の感磁部と基板との間に素子分離領域を形成する(図18(b))。なお、電源端子部およびホール電圧出力端子部のパターニングは、リソグラフィーとエッチングにより行なう。

25 これに続いて、CMOSデバイスの閾値調整およびゲート酸化膜形成を行なった後、砒素(As)をイオン注入することにより、CMOSデバイスのソース・ドレ

WO 03/032410

PCT/JP02/10164

17

イン領域形成、および、ホール素子の電源端子部およびホール電圧出力端子部の形成を行なう（図18(c)）。ホール素子の電源端子部およびホール電圧出力端子部の抵抗値は、これらの端子を形成する領域以外をマスクし、マスクの開口部分からのみ所定のドーズ量のAsを注入することでキャリア濃度が制御されて調整される。

なお、各端子に設けられるスリットの幅は、このAsのイオン注入後に行なうポストアニール工程で拡散するAsの拡散長よりも広くとり、スリットにより分割した端子間相互で電氣的な短絡が生じないようにプロセス条件が設定される。

これに続いて、端子のスリット部に絶縁層を形成することとなるが、シリコン酸化膜や高抵抗のポリシリコンをスリット部にのみ成膜することで電氣的に分離したり、或いは、LOCOSやトレンチ構造により分離するようにしてもよい。

このようにして、p型基板上に形成したCMOSデバイスとn型のSiホール素子が得られることとなるが、上述したプロセスで形成されるCMOS部分に、作動増幅回路、加算回路、絶対値回路、バイアス調整回路等を接続することで、既に述べた、本発明の磁気センサを得ることができる。

なお、本実施例では、Si基板上にホール素子を形成する場合を例として説明したが、使用可能な基板はSiに限定されるものではなく、GaAs、InSb、InAs等の基板を用いてホール素子を製造することが可能である。

## 20 産業上の利用可能性

以上説明したように、本発明によればホール素子の感磁部凸部および端子部をスリットにより等分割することによって、各出力端子対から得られるホール起電力を向上させることが可能となる。

また、本発明のホール素子に、各出力端子対からの出力を加算する加算回路を接続することにより、一つのホール素子から、複数のホール素子から得られる出力と同等のホール起電力を得ることが可能となる。



WO 03/032410

PCT/JP02/10164

19

## 請求の範囲

1. 基板上に、矩形部とその各辺に設けられた相互に対向する凸部から構成される十字型の感磁部と、該感磁部の対向する一対の前記凸部の各々に設けられた電流又は電圧入力用の一対の電源端子部と、前記感磁部の対向する他の一対の前記凸部の各々に設けられたホール電圧出力用の一対の出力端子部とを備え、前記電源端子部と前記出力端子部の全部、および、前記感磁部の各凸部の一部が、各々の対向方向に連続して伸長するスリットにより分割されており、前記スリットのそれぞれには絶縁体の分離層を備えることを特徴とするホール素子。  
5
2. 前記感磁部と前記電源端子部と前記出力端子部とで構成される全体形状が、その中心に対して4回対称性を有することを特徴とする請求の範囲第1項に記載のホール素子。  
10
3. 前記電源端子部と前記出力端子部の全部、および、前記感磁部の各凸部の一部が、各々の対向方向に連続して伸長するスリットにより等間隔に分割されていることを特徴とする請求の範囲第1項に記載のホール素子。  
15
4. 前記スリットと前記感磁部の凸部との境界線の長さと、前記スリットで分割された前記感磁部の凸部の前記矩形部を挟んで互いに対向する部分同士の中点と、前記スリットで分割された前記感磁部の凸部の前記矩形部を挟んで互いに対向する他の部分同士の中点との間隔との比が、 $1/3$ 以上3以下であることを特徴とする請求の範囲第1項に記載のホール素子。  
20
5. 前記基板は半導体基板であることを特徴とする請求の範囲第1項に記載のホール素子。
6. 基板上に、矩形部とその各辺に設けられた相互に対向する凸部から構成される十字型の感磁部と、該感磁部の対向する一対の前記凸部の各々に設けられた電流又は電圧入力用の一対の電源端子部と、前記感磁部の対向す  
25

WO 03/032410

PCT/JP02/10164

20

る他の一対の前記凸部の各々に設けられたホール電圧出力用の一対の出力端子部とを備え、前記電源端子部と前記出力端子部の全部、および、前記感磁部の各凸部の一部が、各々の対向方向に連続して伸長するスリットにより等間隔に分割されており、前記スリットのそれぞれには絶縁体の分離層を備えるホール素子と、差動増幅回路を含む加算回路とを備え、前記加算回路を前記ホール素子の前記出力端子部に接続し、前記加算回路を用いた加算処理により、出力電圧及び信号対雑音比を向上させたことを特徴とする磁気センサ。

7. 前記感磁部と前記電源端子部と前記出力端子部とで構成される全体形状が、その中心に対して4回対称性を有することを特徴とする請求の範囲第6項に記載の磁気センサ。

8. 前記電源端子部と前記出力端子部の全部、および、前記感磁部の各凸部の一部が、各々の対向方向に連続して伸長するスリットにより等間隔に分割されていることを特徴とする請求の範囲第6項に記載の磁気センサ。

9. 前記スリットと前記感磁部の凸部との境界線の長さと、前記スリットで分割された前記感磁部の凸部の前記矩形部を挟んで互いに対向する部分同士の中点と、前記スリットで分割された前記感磁部の凸部の前記矩形部を挟んで互いに対向する他の部分同士の中点との間隔との比が、 $1/3$ 以上3以下であることを特徴とする請求の範囲第6項に記載の磁気センサ。

10. 前記ホール素子の前記電源端子部に接続される分流回路と、前記加算回路に接続される絶対値回路と、該絶対値回路に接続されるバイアス調整回路とを備え、前記分流回路と前記絶対値回路と前記バイアス調整回路により、ホール起電力が最大となる電位差を前記電源端子部に供給することを特徴とする請求の範囲第6項に記載の磁気センサ。

WO 03/032410

PCT/JP02/10164

1/18

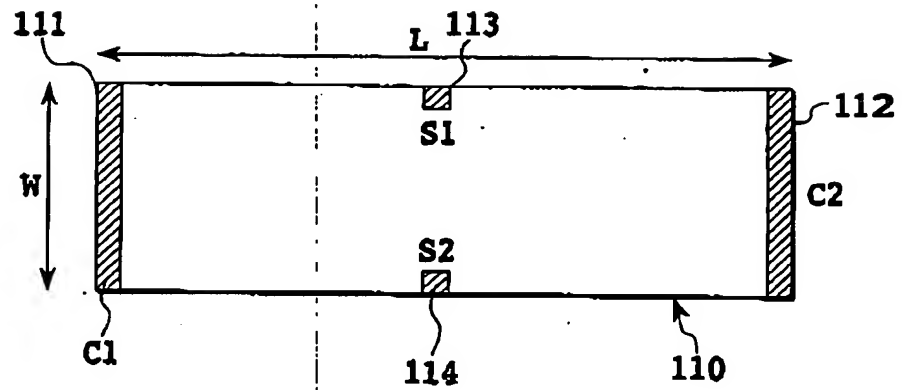


FIG.1

WO 03/032410

PCT/JP02/10164

2/18

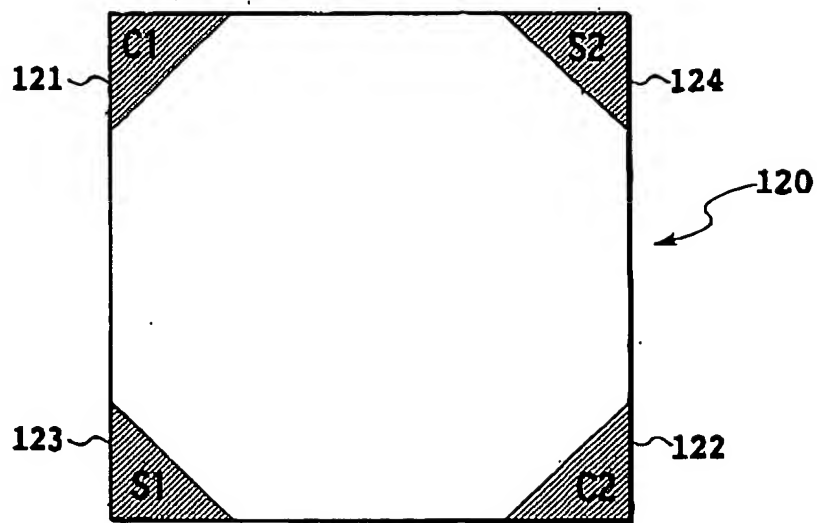


FIG.2



WO 03/032410

PCT/JP02/10164

3/18

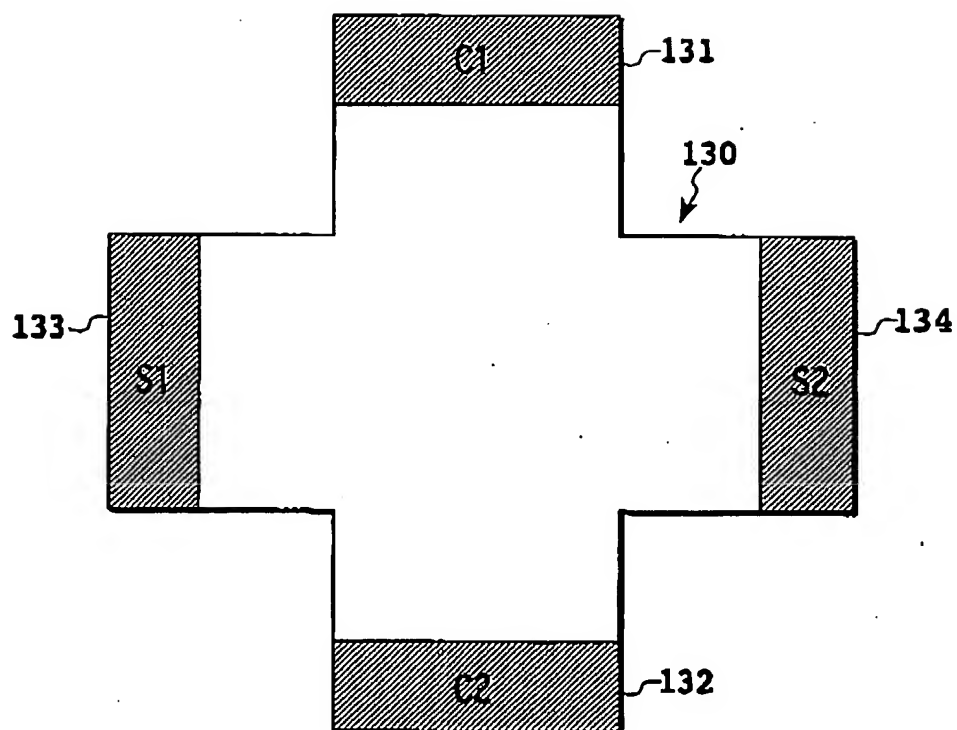


FIG.3

WO 03/032410

PCT/JP02/10164

4/18

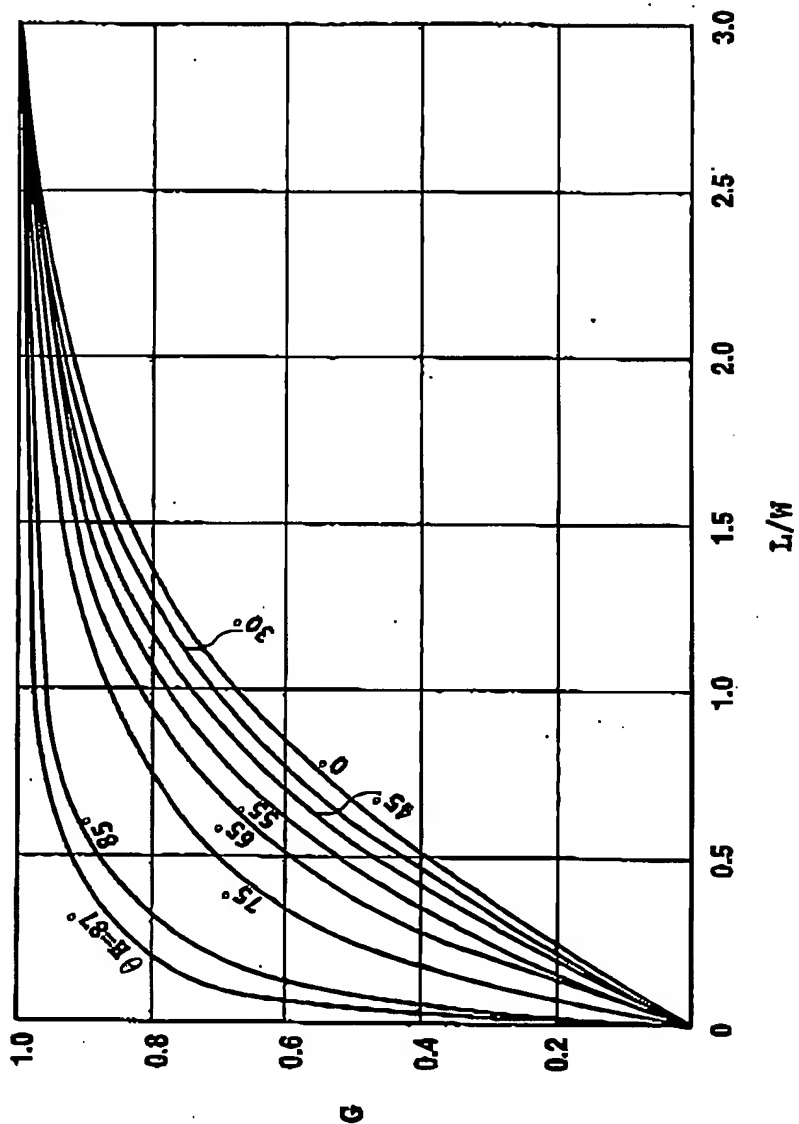


FIG.4

WO 03/032410

PCT/JP02/10164

5/18

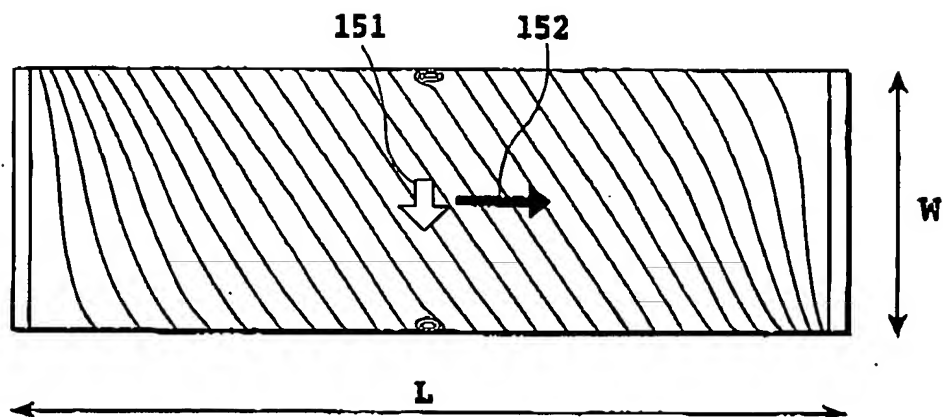


FIG. 5

WO 03/032410

PCT/JP02/10164

6/18

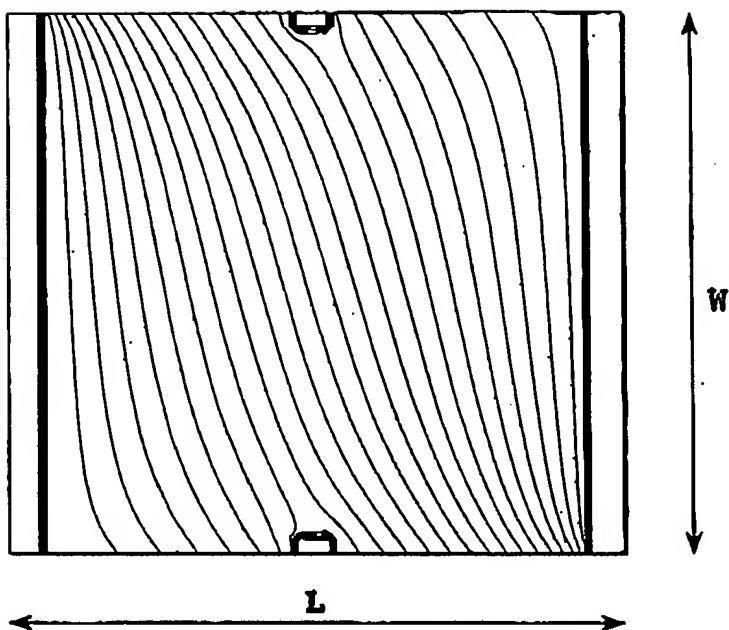


FIG6

WO 03/032410

PCT/JP02/10164

7/18

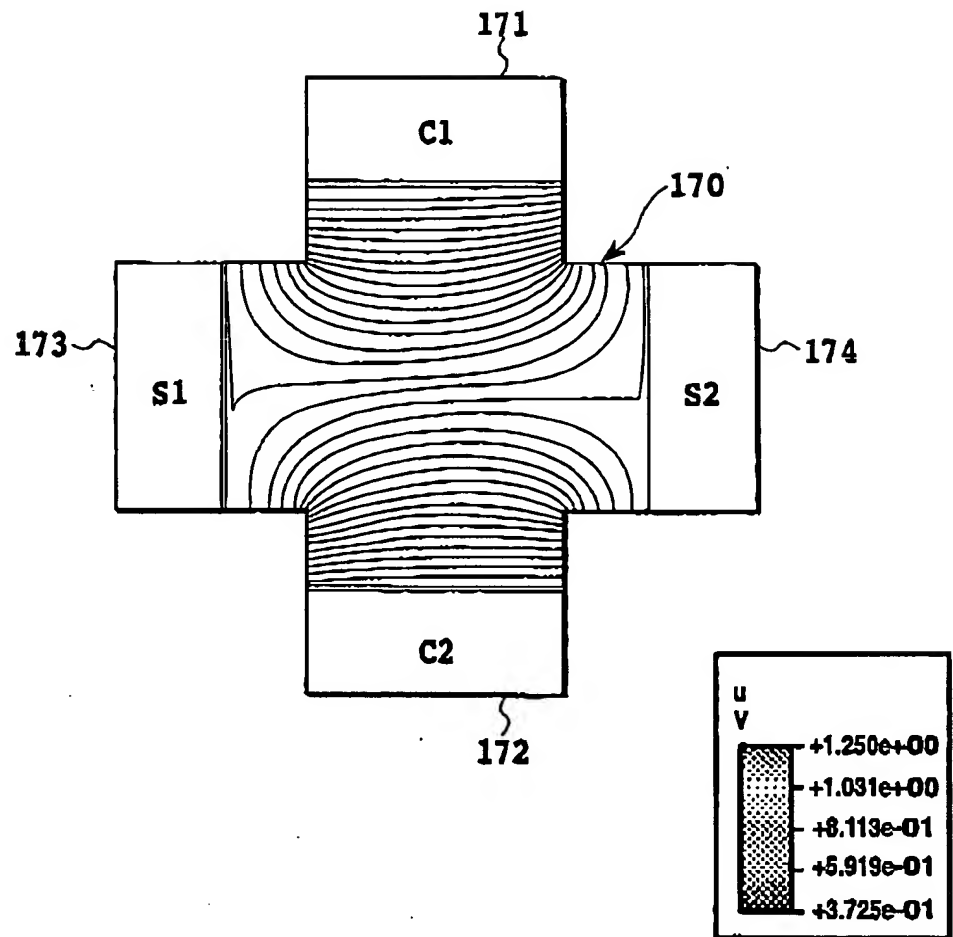


FIG.7

WO 03/032410

PCT/JP02/10164

8/18

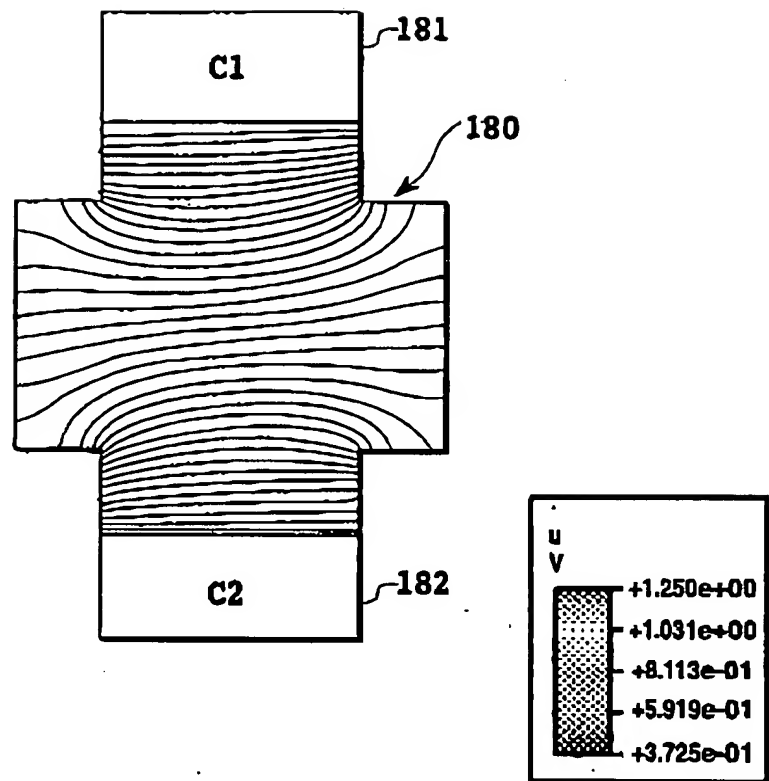


FIG. 8

WO 03/032410

PCT/JP02/10164

9/18

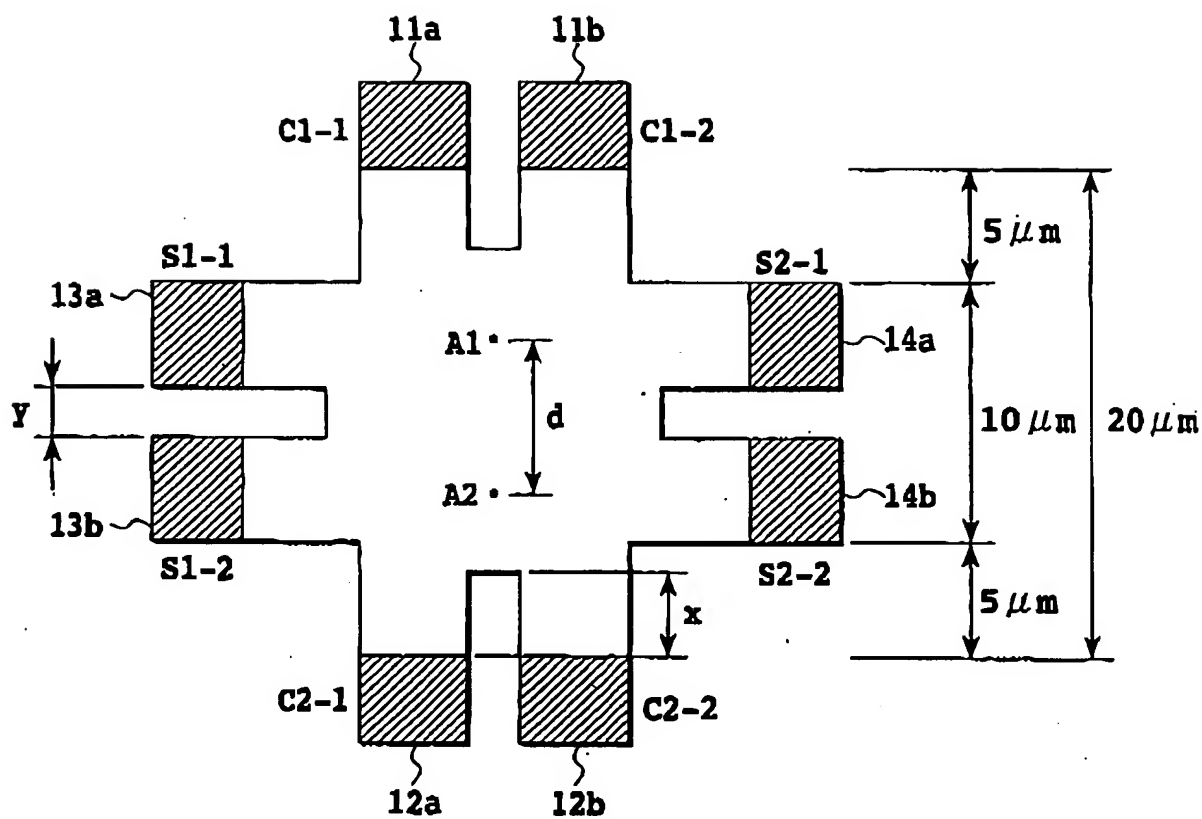


FIG.9

WO 03/032410

PCT/JP02/10164

10/18

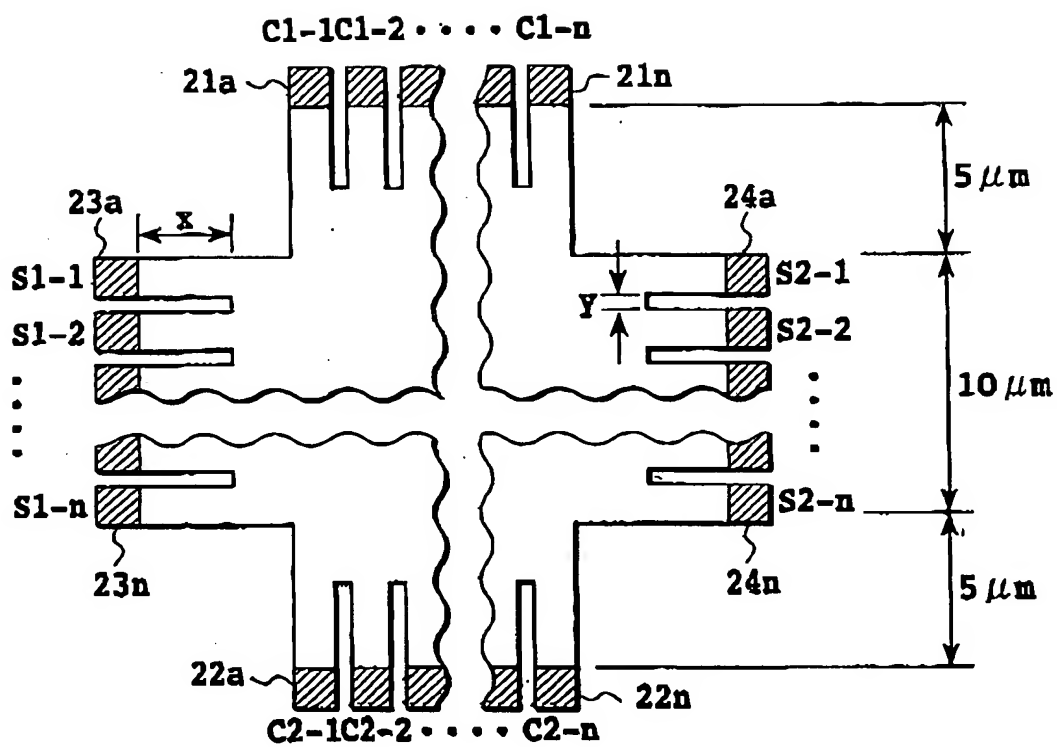


FIG.10



WO 03/032410

PCT/JP02/10164

11/18

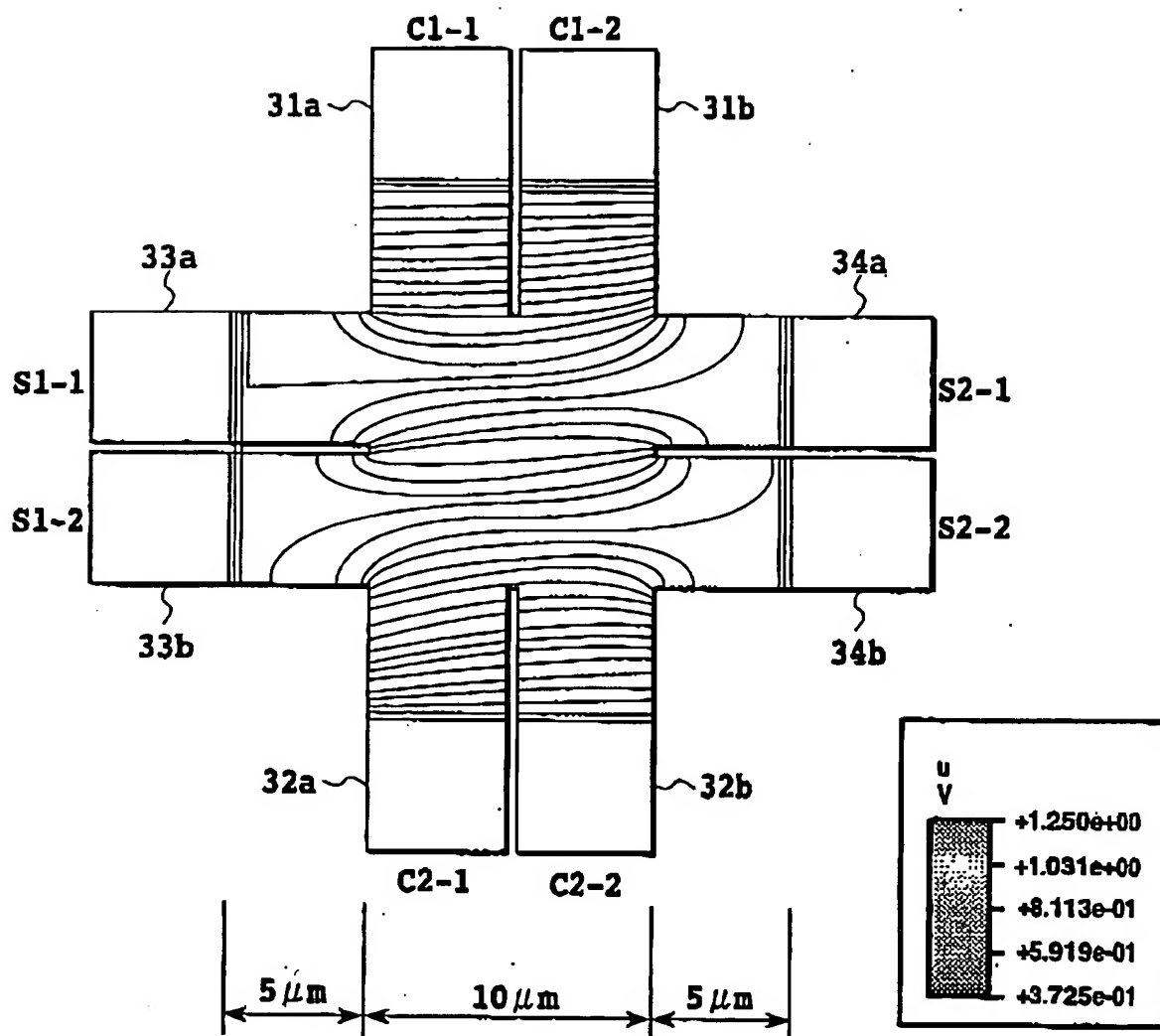


FIG.11

WO 03/032410

PCT/JP02/10164

12/18

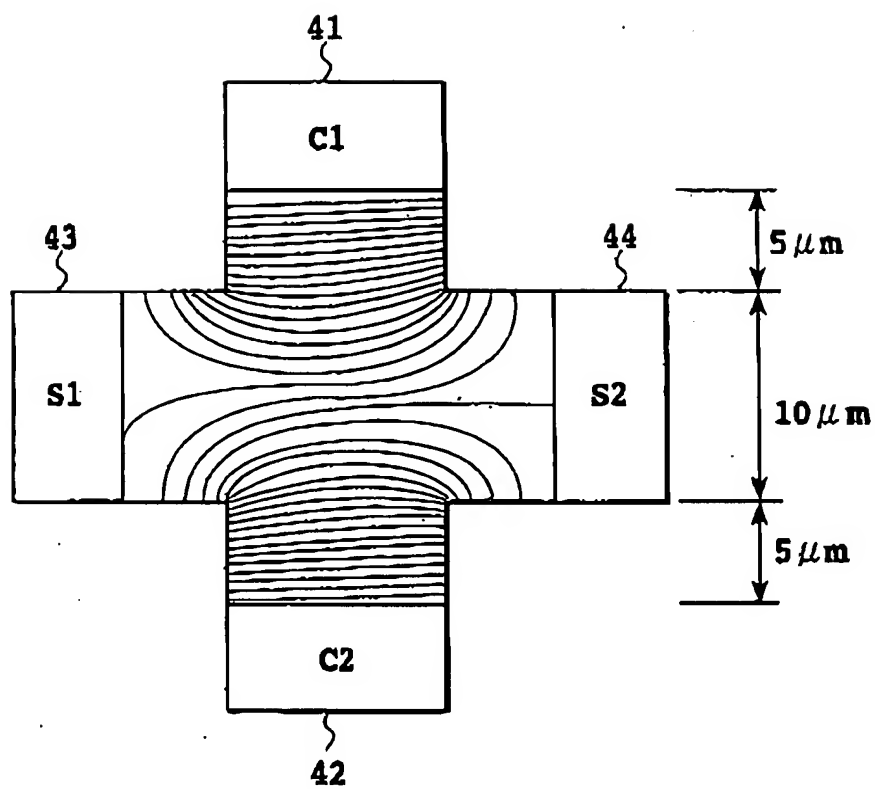


FIG.12

WO 03/032410

PCT/JP02/10164

13/18

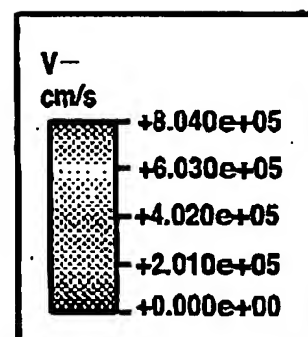
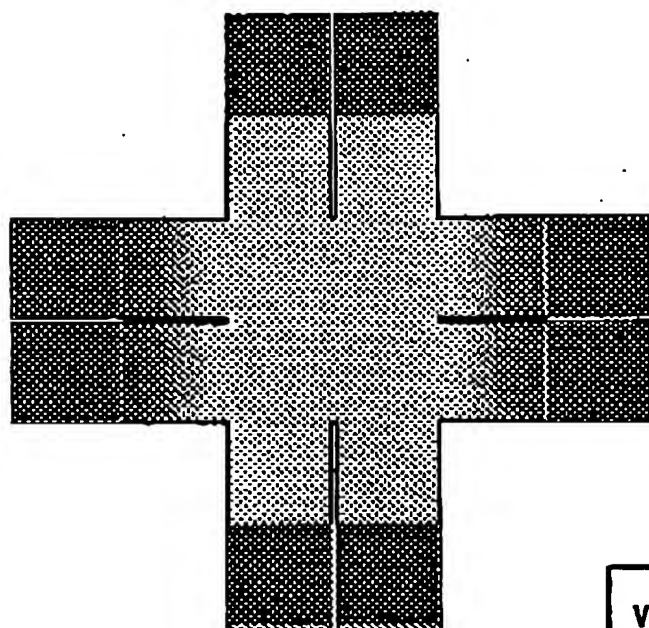


FIG.13

WO 03/032410

PCT/JP02/10164

14/18

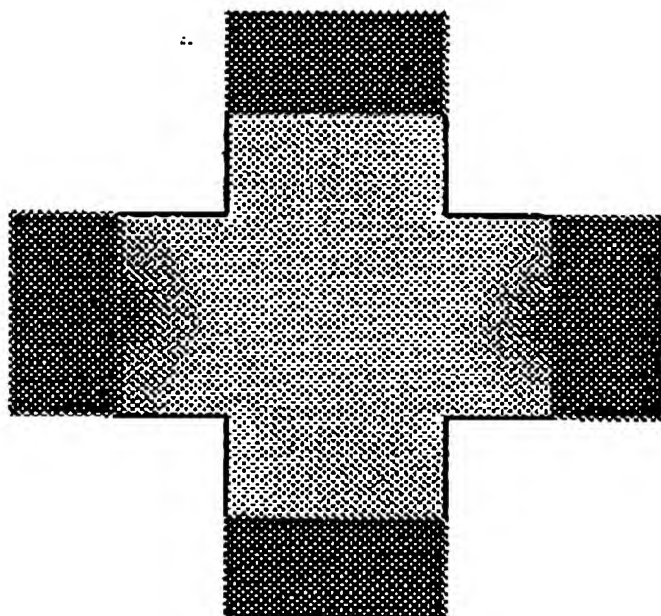


FIG.14

WO 03/032410

PCT/JP02/10164

15/18

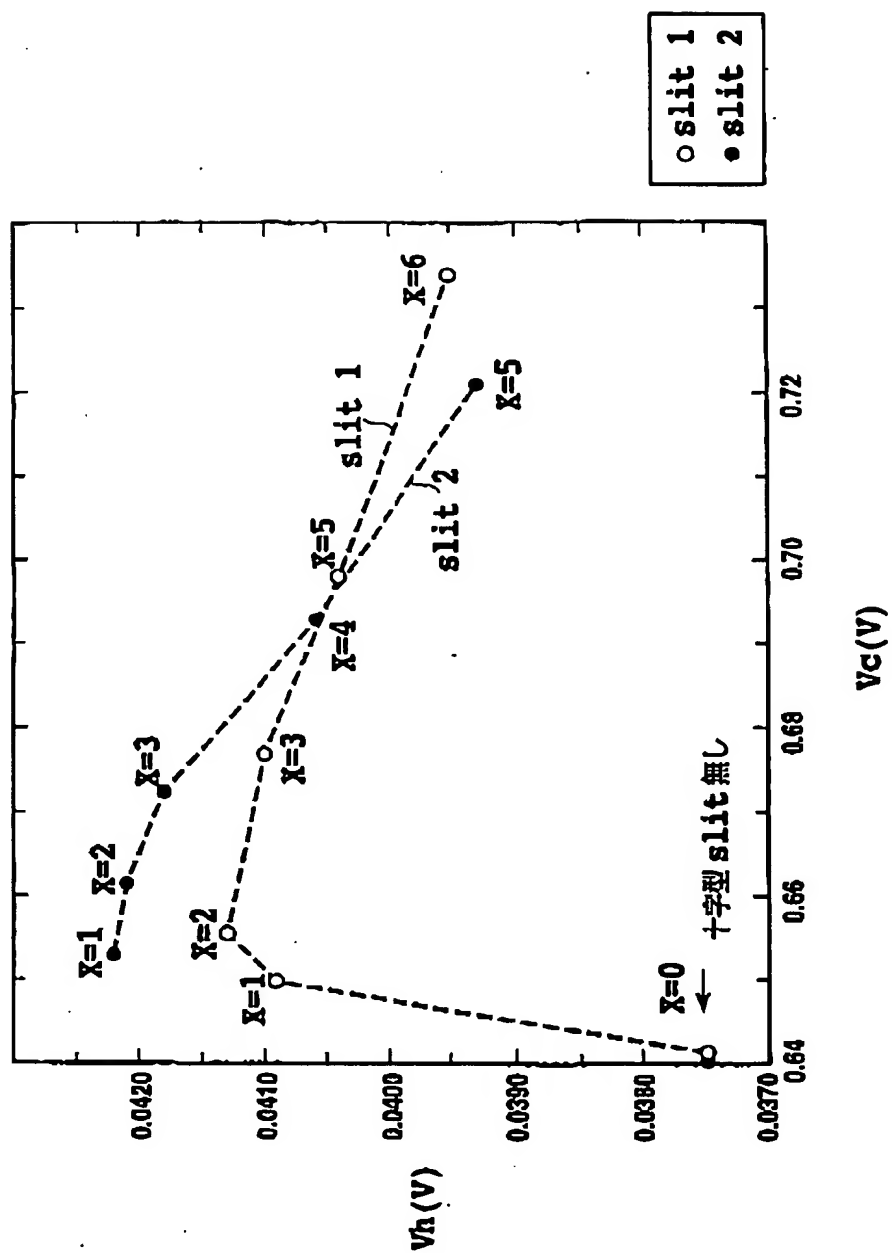


FIG.15

WO 03/032410

PCT/JP02/10164

16/18

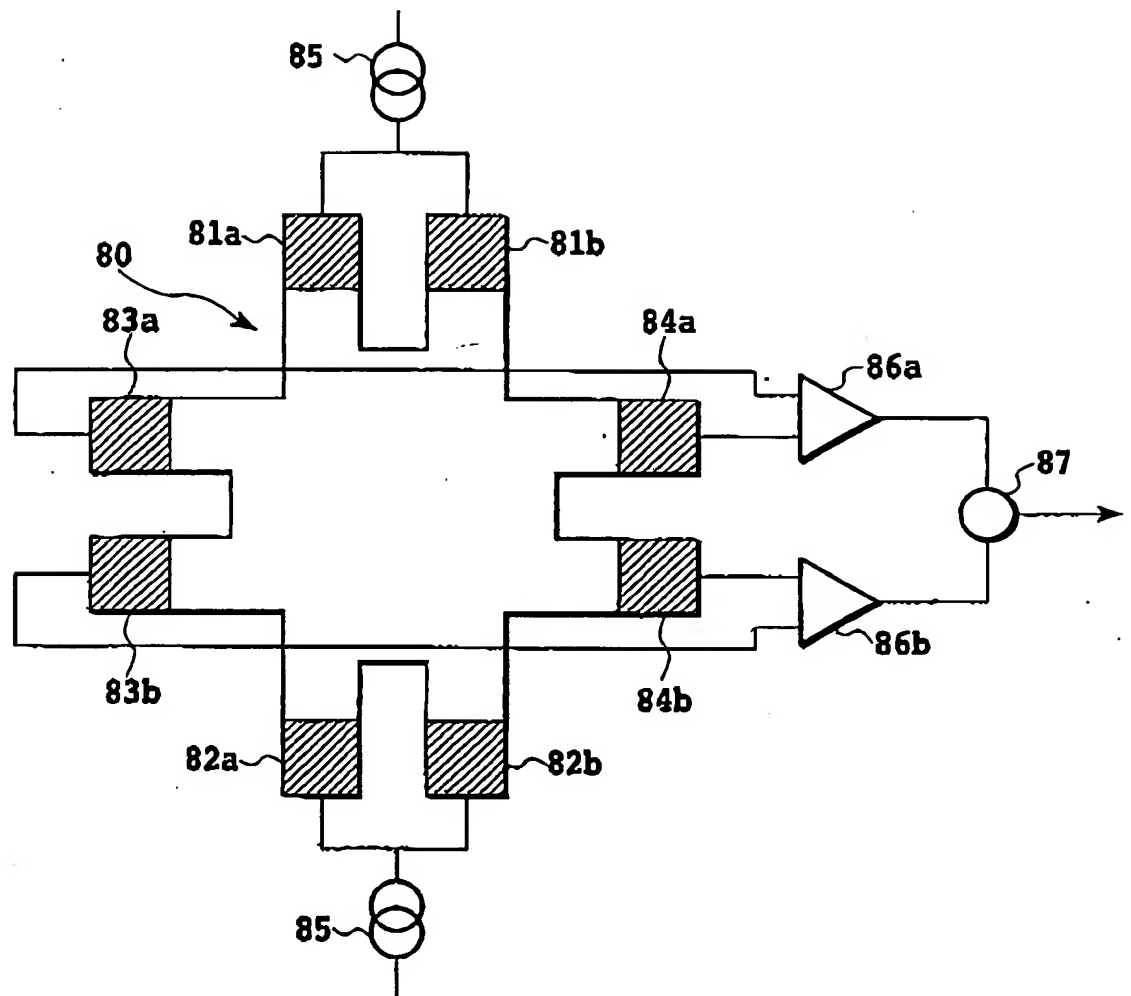


FIG.16

WO 03/032410

PCT/JP02/10164

17/18

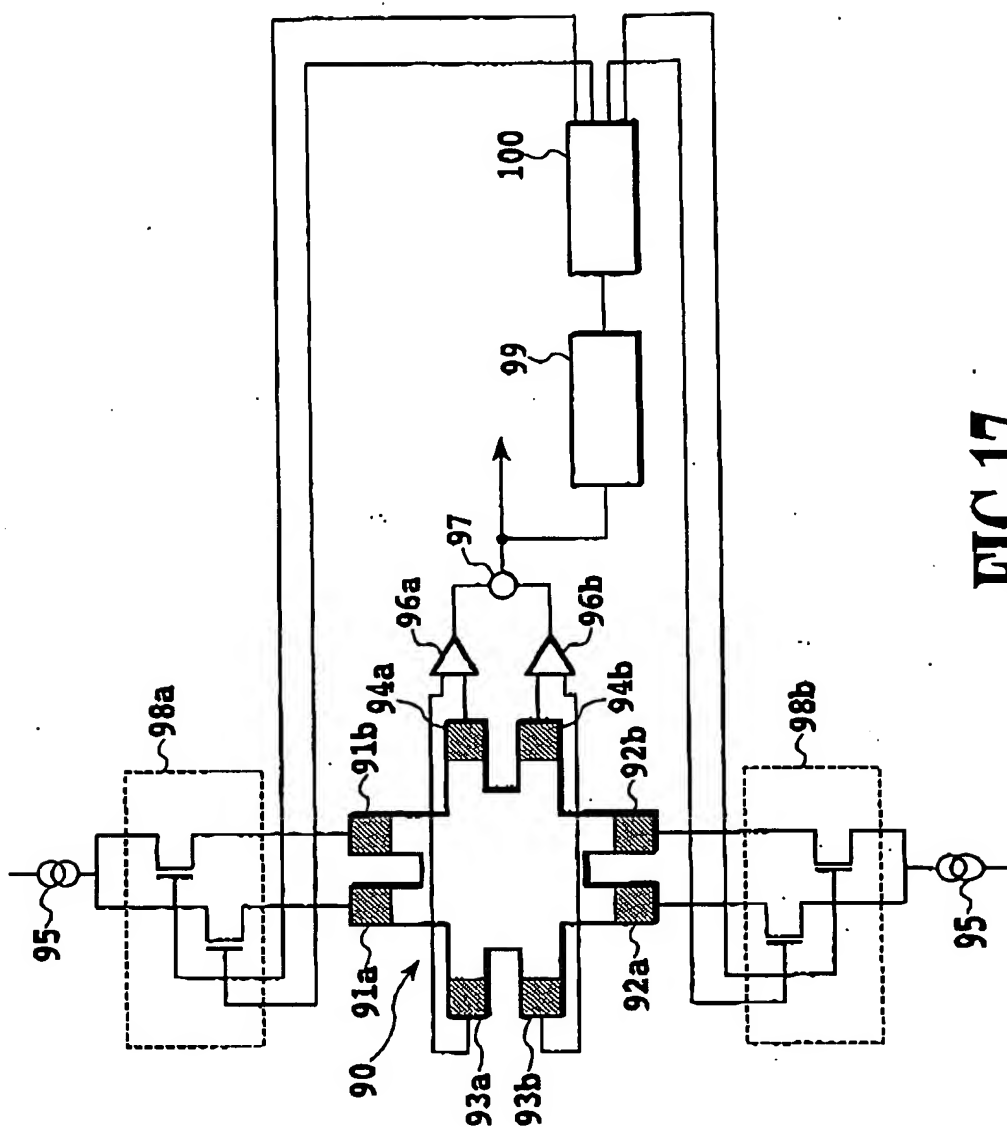


FIG.17

WO 03/032410

PCT/JP02/10164

18/18

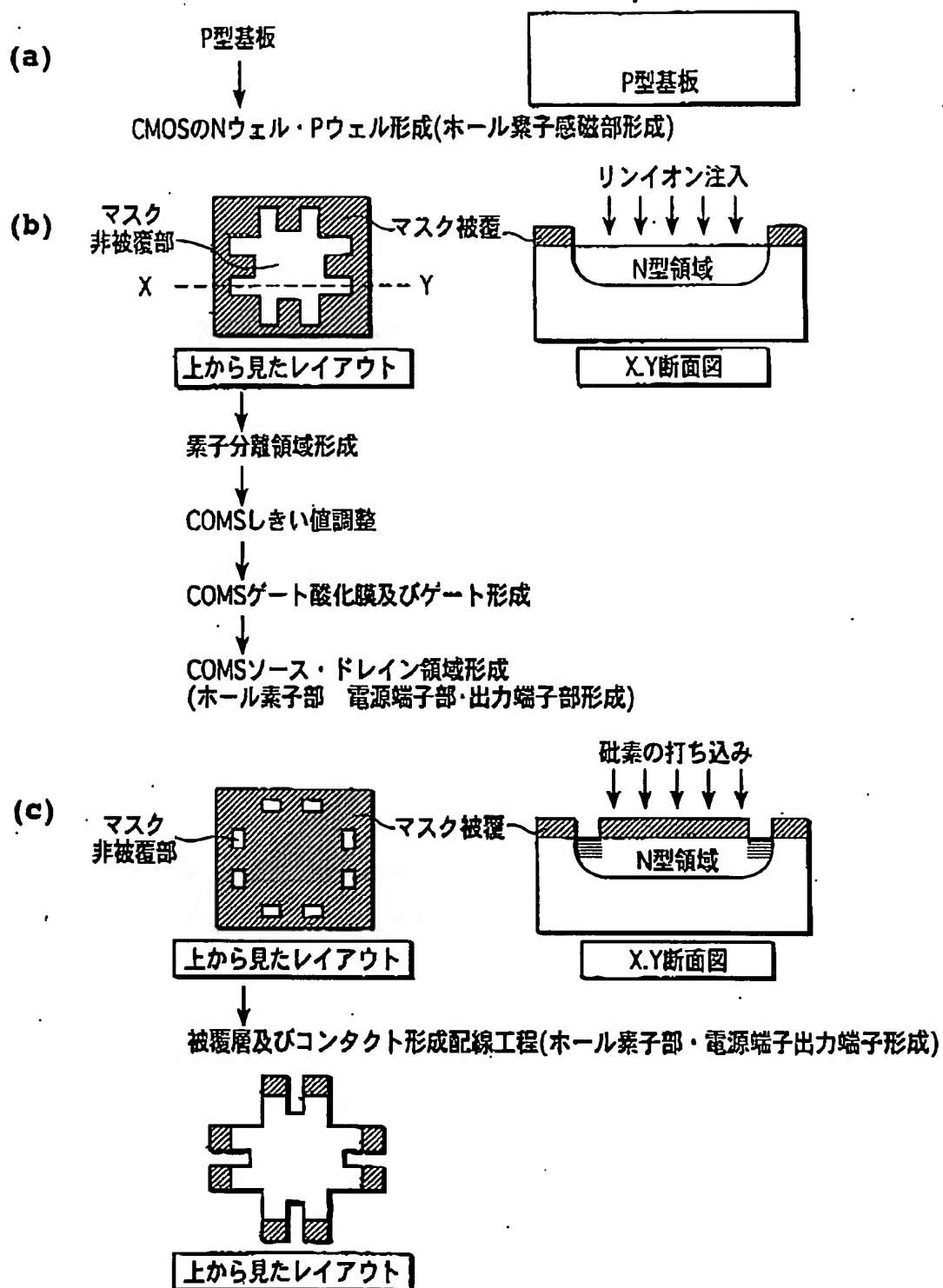


FIG.18



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/10164

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H01L43/06, G01R33/07

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H01L43/06, G01R33/07

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2002
Kokai Jitsuyo Shinan Koho	1971-2002	Toroku Jitsuyo Shinan Koho	1994-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

JICST FILE

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-183579 A (Toshiba Corp.), 09 July, 1999 (09.07.99), Full text (Family: none)	1-10
A	JP 62-174984 A (Murata Mfg. Co., Ltd.), 31 July, 1987 (31.07.87), Full text (Family: none)	1-10
A	JP 55-132033 A (Matsushita Electronics Corp.), 14 October, 1980 (14.10.80), Full text (Family: none)	1-10
A	JP 2000-35469 A (Toshiba Corp.), 02 February, 2000 (02.02.00), Full text (Family: none)	1-10

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" documents referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
11 December, 2002 (11.12.02)Date of mailing of the international search report  
24 December, 2002 (24.12.02)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

Form PCT/ISA/210 (second sheet) (July 1998)

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/10164

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 4-279071 A (Murata Mfg. Co., Ltd.), 05 October, 1992 (05.10.92), Full text (Family: none)	1-10
A	JP 7-193297 A (Toshiba Corp.), 28 July, 1995 (28.07.95), Full text (Family: none)	1-10

## 国際調査報告

国際出願番号 PCT/JPO2/10164

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int. Cl <sup>1</sup> H01L43/06, G01R33/07		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int. Cl <sup>1</sup> H01L43/06, G01R33/07		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2002年 日本国実用新案登録公報 1996-2002年 日本国登録実用新案公報 1994-2002年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語) J I C S T 科学技術文献ファイル		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 11-183579 A(株式会社東芝)1999.07.09, 全文(ファミリーなし)	1-10
A	JP 62-174984 A(株式会社村田製作所)1987.07.31, 全文 (ファミリーなし)	1-10
A	JP 55-132033 A(松下電子工業株式会社)1980.10.14, 全文 (ファミリーなし)	1-10
A	JP 2000-35469 A(株式会社東芝)2000.02.02, 全文(ファミリーなし)	1-10
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願 の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 11.12.02		国際調査報告の発送日 24.12.02
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 栗野 正明 電話番号 03-3581-1101 内線 3462

様式PCT/ISA/210 (第2ページ) (1998年7月)

## 国際調査報告

国際出願番号 PCT/JP02/10164

## C (続き) . 関連すると認められる文献

引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 4-279071 A(株式会社村田製作所)1992. 10. 05, 全文 (ファミリーなし)	1-10
A	JP 7-193297 A(株式会社東芝)1995. 07. 28, 全文(ファミリーなし)	1-10